

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001006397 A**(43) Date of publication of application: **12.01.01**

(51) Int. Cl.

G11C 29/00
G01R 31/3185
G01R 31/28
G11C 11/401
H03K 19/003

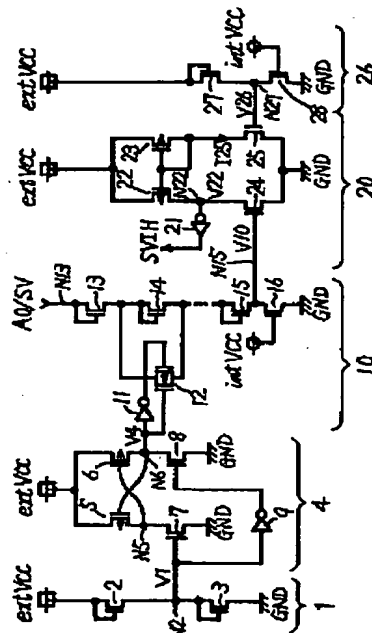
(21) Application number: **11177706**(22) Date of filing: **24.06.99**(71) Applicant: **MITSUBISHI ELECTRIC CORP**(72) Inventor: **JINBO SHINICHI**(54) **HIGH VOLTAGE DETECTING CIRCUIT**

(57) Abstract:

PROBLEM TO BE SOLVED: To eliminate the need for increasing a high voltage even when an external power source voltage is increased.

SOLUTION: A divider circuit 26 divides an external power source voltage extVCC at a 1st dividing ratio. A divider circuit 10 divides a high potential SV at a 2nd dividing ratio smaller than the 1st dividing ratio when the external power source voltage extVCC is lower than a reference potential, and divides the high potential at a 3rd dividing ratio between the 1st and 2nd dividing ratios when it is higher than the high potential SV. A comparator 20 outputs a high voltage detection signal SVIH when an output potential V10 of the divider circuit 10 is higher than an output potential V26 of the divider circuit 26. Since the dividing ratio of the divider circuit 10 is varied according to the external power supply voltage extVCC, it is unnecessary to vary the high potential SV.

COPYRIGHT: (C)2001,JPO



11017 U.S. PTO
09/998326
12/03/01

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-6397
(P2001-6397A)

(43) 公開日 平成13年1月12日 (2001.1.12)

(51) Int.Cl. ⁷	識別記号	F I	ターム (参考)
G 1 1 C 29/00	6 7 1	G 1 1 C 29/00	6 7 1 T 2 G 0 3 2
G 0 1 R 31/3185		H 0 3 K 19/003	E 5 B 0 2 4
31/28		G 0 1 R 31/28	W 5 J 0 3 2
G 1 1 C 11/401		G 1 1 C 11/34	3 7 1 A 5 L 1 0 6
H 0 3 K 19/003			3 7 1 K

審査請求 未請求 請求項の数 7 O L (全 12 頁)

(21) 出願番号 特願平11-177706

(22) 出願日 平成11年6月24日 (1999.6.24)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 神保 伸一

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外3名)

Fターム (参考) 2G032 AA07 AD01 AK14

5B024 AA03 AA15 BA29 CA07 EA04

5J032 AB01 AB02 AC18

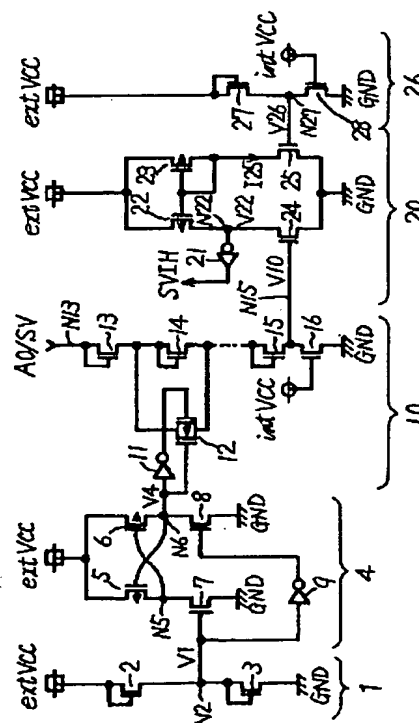
5L106 AA01 DD11 FF01 GG00

(54) 【発明の名称】 高電圧検出回路

(57) 【要約】

【課題】 外部電源電圧を大きくした場合でも高電圧を大きくする必要がない高電圧検出回路を提供する。

【解決手段】 高電圧検出回路において、分圧回路26は外部電源電圧 ext VCC を第1の分圧比で分圧する。分圧回路10は、外部電源電圧 ext VCC が基準電位よりも低い場合は第1の分圧比よりも小さな第2の分圧比で高電位 SV を分圧し、高い場合は第1および第2の分圧比の間の第3の分圧比で高電位 SV を分圧する。コンパレータ20は、分圧回路10の出力電位 V10 が分圧回路26の出力電位 V26 よりも高い場合に高電圧検出信号 SVIH を出力する。外部電源電圧 ext VCC に応じて分圧回路10の分圧比を変えるので、高電位 SV を変える必要はない。



【特許請求の範囲】

【請求項1】 入力端子に外部電源電圧よりも大きな高電圧が与えられたことに応じて高電圧検出信号を出力する高電圧検出回路であって、
前記外部電源電圧に予め定められた第1の分圧比を乗算した電圧を出力する第1の分圧回路、
前記外部電源電圧が予め定められた電圧よりも小さいか大きいかを検出し、小さい場合は第1の信号を出力し、大きい場合は第2の信号を出力する電圧検出回路、
前記電圧検出回路から前記第1の信号が出力されている場合は前記入力端子の電圧に前記第1の分圧比よりも小さな予め定められた第2の分圧比を乗算した電圧を出力し、前記電圧検出回路から前記第2の信号が出力されている場合は前記入力端子の電圧に前記第1および第2の分圧比の間の予め定められた第3の分圧比を乗算した電圧を出力する第2の分圧回路、および前記第1および第2の分圧回路の出力電圧を比較し、前記第2の分圧回路の出力電圧が前記第1の分圧回路の出力電圧よりも大きい場合に前記高電圧検出信号を出力する比較回路を備える、高電圧検出回路。

【請求項2】 前記第2の分圧回路は、
前記入力端子と基準電位のラインとの間に直列接続された複数の電圧降下素子、および前記複数の電圧降下素子のうちの少なくとも1つの電圧降下素子に並列接続され、前記第1の信号にตอบสนองして非導通になり、前記第2の信号にตอบสนองして導通するスイッチング素子を含む、請求項1に記載の高電圧検出回路。

【請求項3】 前記第2の分圧回路は、
前記入力端子の電圧に前記第2の分圧比を乗算した電圧を出力する第3の分圧回路、
前記入力端子の電圧に前記第3の分圧比を乗算した電圧を出力する第4の分圧回路、および前記第1の信号にตอบสนองして前記第3の分圧回路の出力電圧を前記比較回路に与え、前記第2の信号にตอบสนองして前記第4の分圧回路の出力電圧を前記比較回路に与える切換回路を含む、請求項1に記載の高電圧検出回路。

【請求項4】 入力端子に外部電源電圧よりも大きな高電圧が与えられたことに応じて高電圧検出信号を出力する高電圧検出回路であって、
前記入力端子の電圧に予め定められた第1の分圧比を乗算した電圧を出力する第1の分圧回路、
前記外部電源電圧から予め定められた電圧よりも小さいか大きいかを検出し、小さい場合は第1の信号を出力し、大きい場合は第2の信号を出力する電圧検出回路、
前記電圧検出回路から前記第1の信号が出力されている場合は前記外部電源電圧に前記第1の分圧比よりも大きな予め定められた第2の分圧比を乗算した電圧を出力し、前記電圧検出回路から前記第2の信号が出力されている場合は前記外部電源電圧に前記第1および第2の分圧比の間の予め定められた第3の分圧比を乗算した電圧

を出力する第2の分圧回路、および前記第1および第2の分圧回路の出力電圧を比較し、前記第1の分圧回路の出力電圧が前記第2の分圧回路の出力電圧よりも大きい場合に前記高電圧検出信号を出力する比較回路を備える、高電圧検出回路。

【請求項5】 前記第2の分圧回路は、
前記外部電源電圧に前記第2の分圧比を乗算した電圧を出力する第3の分圧回路、
前記外部電源電圧に前記第3の分圧比を乗算した電圧を出力する第4の分圧回路、および前記第1の信号にตอบสนองして前記第3の分圧回路の出力電圧を前記比較回路に与え、前記第2の信号にตอบสนองして前記第4の分圧回路の出力電圧を前記比較回路に与える切換回路を含む、請求項4に記載の高電圧検出回路。

【請求項6】 前記電圧検出回路は、
前記外部電源電圧に予め定められた第4の分圧比を乗算した電圧を出力する第5の分圧回路、および前記第5の分圧回路の出力電圧がそのしきい値電圧よりも小さい場合は前記第1の信号を出力し、大きい場合は前記第2の信号を出力するインバータを含む、請求項1から請求項5のいずれかに記載の高電圧検出回路。

【請求項7】 入力端子に外部電源電圧よりも大きな高電圧が与えられたことに応じて高電圧検出信号を出力する高電圧検出回路であって、
前記外部電源電圧から予め定められた電圧よりも小さいか大きいかを検出し、小さい場合は第1の信号を出力し、大きい場合は第2の信号を出力する電圧検出回路、
前記電圧検出回路から前記第1の信号が出力されている場合は前記外部電源電圧に予め定められた第1の分圧比を乗算した電圧を出力し、前記電圧検出回路から前記第2の信号が出力されている場合は前記外部電源電圧に前記第1の分圧比よりも小さな予め定められた第2の分圧比を乗算した電圧を出力する第1の分圧回路、
前記電圧検出回路から前記第1の信号が出力されている場合は前記入力端子の電圧に前記第1の分圧比よりも小さな予め定められた第3の分圧比を乗算した電圧を出力し、前記電圧検出回路から前記第2の信号が出力されている場合は前記入力端子の電圧に前記第2の分圧比よりも小さな予め定められた第4の分圧比を乗算した電圧を出力する第2の分圧回路、および前記第1および第2の分圧回路の出力電圧を比較し、前記第2の分圧回路の出力電圧が前記第1の分圧回路の出力電圧よりも大きい場合に前記高電圧検出信号を出力する比較回路を備える、高電圧検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は高電圧検出回路に関し、特に、入力端子に外部電源電圧よりも大きな高電圧が与えられたことに応じて高電圧検出信号を出力する高電圧検出回路に関する。

【0002】

【従来の技術】従来より、DRAM90には、図4に示すように、複数のピンPが設けられている。これらのピンPは、制御信号/RAS、/CAS、/WEの入力、アドレス信号A0~Am（ただし、mは0以上の整数である）の入力、外部電源電位extVCCおよび接地電位GNDの入力、データ信号DQ0~DQn（ただし、nは0以上の整数である）の入出力などに用いられる。信号/RAS、/CAS、/WE、A0~Am、DQ0~DQnの各々は、「H」レベル（外部電源電位extVCC）または「L」レベル（接地電位GND）となる2値信号である。DRAM90は、3~5V程度の範囲の外部電源電圧extVCCで動作可能となっている。

【0003】書込動作時は、制御信号/RAS、/CAS、/WEによって書込モードが設定され、アドレス信号A0~Amで指定されたアドレスにデータDQ0~DQnが書込まれる。読出動作時は制御信号/RAS、/CAS、/WEによって読出モードが設定され、アドレス信号A0~Amで指定されたアドレスのデータDQ0~DQnが読出される。

【0004】さて、このようなDRAM90には種々のテストモードが設けられており、各テストモードは、ある特定のピンP（たとえばアドレス信号A0を入力するためのピンP）に外部電源電位extVCCよりも高い高電位SVを印加することにより設定される。このため、そのようなピンPには、高電位SVが印加されたことを検出するための高電圧検出回路が設けられている。

【0005】図5は、そのような従来の高電圧検出回路の構成を示す回路図である。図5を参照して、この高電圧検出回路は、分圧回路91、106およびコンパレータ100を含む。

【0006】分圧回路91は、特定ピンPからアドレス信号A0/高電位SVを受けるノードN92と出力ノードN94との間に直列接続された複数（図では3つ）のNチャネルMOSトランジスタ92~94と、出力ノードN92と接地電位GNDのラインとの間に接続されたNチャネルMOSトランジスタ95とを含む。NチャネルMOSトランジスタ92~94の各々は、ダイオード接続されている。NチャネルMOSトランジスタ95のゲートは、一定の内部電源電位intVCCを受ける。NチャネルMOSトランジスタ95は、抵抗素子として動作する。NチャネルMOSトランジスタ92~95のチャネル抵抗値をそれぞれR92~R95とすると、出力ノードの電位V91は、 $V91 = SV \times R95 / (R92 + R93 + R94 + R95)$ となる。

【0007】分圧回路106は、外部電源電位extVCCのラインと接地電位GNDのラインとの間に直列接続されたNチャネルMOSトランジスタ107、108を含む。NチャネルMOSトランジスタ107はダイオード接続され、NチャネルMOSトランジスタ108の

ゲートは内部電源電位intVCCを受ける。NチャネルMOSトランジスタ107、108のチャネル抵抗値をそれぞれR107、R108とすると、NチャネルMOSトランジスタ107と108の間の出力ノードN107の電位V106は、 $V106 = extVCC \times R108 / (R107 + R108)$ となる。分圧回路106の分圧比R108/(R107+R108)は、分圧回路91の分圧比R95/(R92+R93+R94+R95)よりも大きくなっている。

【0008】コンパレータ100は、インバータ101、PチャネルMOSトランジスタ102、103およびNチャネルMOSトランジスタ104、105を含む。MOSトランジスタ102と104、103と105は、それぞれ外部電源電位extVCCのラインと接地電位GNDのラインとの間に直列接続される。PチャネルMOSトランジスタ102、103のゲートは、ともにPチャネルMOSトランジスタ103のドレインに接続される。PチャネルMOSトランジスタ102と103は、カレントミラー回路を構成する。NチャネルMOSトランジスタ104、105のゲートは、それぞれ分圧回路91、106の出力電位V91、V106を受ける。MOSトランジスタ102と104の間のノードN102の電位V102は、インバータ101に入力される。インバータ110の出力は、この高電圧検出回路の出力信号SVIHとなる。

【0009】DRAM90の通常動作時において、ノードN92にアドレス信号A0すなわち外部電源電位extVCCまたは接地電位GNDが与えられている場合は、分圧回路91の分圧比が分圧回路106の分圧比よりも小さいので、分圧回路91の出力電位V91は分圧回路106の出力電位V106よりも低くなる。これにより、NチャネルMOSトランジスタ104が流し得る電流がNチャネルMOSトランジスタ105に流れる電流I105よりも小さくなり、ノードN102の電位V102が「H」レベルになって信号SVIHは「L」レベルとなる。

【0010】DRAM90をテストモードにエントリするためにノードN92に高電位SVが印加された場合は、分圧回路91の出力電位V91は分圧回路106の出力電位V106よりも高くなる。これにより、NチャネルMOSトランジスタ104が流し得る電流がNチャネルMOSトランジスタ105に流れる電流I105よりも大きくなり、ノードN102の電位V102が「L」レベルになって信号SVIHは「H」レベルとなる。この高電圧検出信号SVIHが「H」レベルになったことに応じてDRAM90は、テストモードに設定される。

【0011】

【発明が解決しようとする課題】しかし、従来の高電圧検出回路では、外部電源電位extVCCを高くすると

高電位SVも高くする必要があるため、高電位SVが高くなり過ぎてDRAM90の内部回路が絶縁破壊される場合があった。

【0012】それゆえに、この発明の主たる目的は、外部電源電圧を高くした場合でも高電圧を高くする必要がない高電圧検出回路を提供することである。

【0013】

【課題を解決するための手段】請求項1に係る発明は、入力端子に外部電源電圧よりも大きな高電圧が与えられたことに応じて高電圧検出信号を出力する高電圧検出回路であって、第1の分圧回路、電圧検出回路、第2の分圧回路、および比較回路を備える。第1の分圧回路は、外部電源電圧に予め定められた第1の分圧比を乗算した電圧を出力する。電圧検出回路は、外部電源電圧が予め定められた電圧よりも小さいか大きいかを検出し、小さい場合は第1の信号を出力し、大きい場合は第2の信号を出力する。第2の分圧回路は、電圧検出回路から第1の信号が出力されている場合は入力端子の電圧に第1の分圧比よりも小さな予め定められた第2の分圧比を乗算した電圧を出力し、電圧検出回路から第2の信号が出力されている場合は入力端子の電圧に第1および第2の分圧比の間の予め定められた第3の分圧比を乗算した電圧を出力する。比較回路は、第1および第2の分圧回路の出力電圧を比較し、第2の分圧回路の出力電圧が第1の分圧回路の出力電圧よりも大きい場合に高電圧検出信号を出力する。

【0014】請求項2に係る発明では、請求項1に係る発明の第2の分圧回路は、複数の電圧降下素子とスイッチング素子を含む。複数の電圧降下素子は、入力端子と基準電位のラインとの間に直列接続される。スイッチング素子は、複数の電圧降下素子のうちの少なくとも1つの電圧降下素子に並列接続され、第1の信号にตอบสนองして非導通になり、第2の信号にตอบสนองして導通する。

【0015】請求項3に係る発明では、請求項1に係る発明の第2の分圧回路は、第3の分圧回路、第4の分圧回路、および切換回路を含む。第3の分圧回路は、入力端子の電圧に第2の分圧比を乗算した電圧を出力する。第4の分圧回路は、入力端子の電圧に第3の分圧比を乗算した電圧を出力する。切換回路は、第1の信号にตอบสนองして第3の分圧回路の出力電圧を比較回路に与え、第2の信号にตอบสนองして第4の分圧回路の出力電圧を比較回路に与える。

【0016】請求項4に係る発明は、入力端子に外部電源電圧よりも大きな高電圧が与えられたことに応じて高電圧検出信号を出力する高電圧検出回路であって、第1の分圧回路、電圧検出回路、第2の分圧回路、および比較回路を備える。第1の分圧回路は、入力端子の電圧に予め定められた第1の分圧比を乗算した電圧を出力する。電圧検出回路は、外部電源電圧から予め定められた電圧よりも小さいか大きいかを検出し、小さい場合は第

1の信号を出力し、大きい場合は第2の信号を出力する。第2の分圧回路は、電圧検出回路から第1の信号が出力されている場合は外部電源電圧に第1の分圧比よりも大きな予め定められた第2の分圧比を乗算した電圧を出力し、電圧検出回路から第2の信号が出力されている場合は外部電源電圧に第1および第2の分圧比の間の予め定められた第3の分圧比を乗算した電圧を出力する。比較回路は、第1および第2の分圧回路の出力電圧を比較し、第1の分圧回路の出力電圧が第2の分圧回路の出力電圧よりも大きい場合に高電圧検出信号を出力する。

【0017】請求項5に係る発明では、請求項4に係る発明の第2の分圧回路は、第3の分圧回路、第4の分圧回路、および切換回路を含む。第3の分圧回路は、外部電源電圧に第2の分圧比を乗算した電圧を出力する。第4の分圧回路は、外部電源電圧に第3の分圧比を乗算した電圧を出力する。切換回路は、第1の信号にตอบสนองして第3の分圧回路の出力電圧を比較回路に与え、第2の信号にตอบสนองして第4の分圧回路の出力電圧を比較回路に与える。

【0018】請求項6に係る発明では、請求項1から5のいずれかに係る発明の電圧検出回路は、第5の分圧回路およびインバータを含む。第5の分圧回路は、外部電源電圧に予め定められた第4の分圧比を乗算した電圧を出力する。インバータは、第5の分圧回路の出力電圧がそのしきい値電圧よりも小さい場合は第1の信号を出力し、大きい場合は第2の信号を出力する。

【0019】請求項7に係る発明は、入力端子に外部電源電圧よりも大きな高電圧が与えられたことに応じて高電圧検出信号を出力する高電圧検出回路であって、電圧検出回路、第1の分圧回路、第2の分圧回路、および比較回路を備える。電圧検出回路は、外部電源電圧から予め定められた電圧よりも小さいか大きいかを検出し、小さい場合は第1の信号を出力し、大きい場合は第2の信号を出力する。第2の分圧回路は、電圧検出回路から第1の信号が出力されている場合は外部電源電圧に予め定められた第1の分圧比を乗算した電圧を出力し、電圧検出回路から第2の信号が出力されている場合は外部電源電圧に第1の分圧比よりも小さな予め定められた第2の分圧比を乗算した電圧を出力する。第2の分圧回路は、電圧検出回路から第1の信号が出力されている場合は入力端子の電圧に第1の分圧比よりも小さな予め定められた第3の分圧比を乗算した電圧を出力し、電圧検出回路から第2の信号が出力されている場合は入力端子の電圧に第2の分圧比よりも小さな予め定められた第4の分圧比を乗算した電圧を出力する。比較回路は、第1および第2の分圧回路の出力電圧を比較し、第2の分圧回路の出力電圧が第1の分圧回路の出力電圧よりも大きい場合に高電圧検出信号を出力する。

【0020】

【発明の実施の形態】〔実施の形態1〕図1は、この発

明の実施の形態1によるDRAMの高電圧検出回路の構成を示す回路図である。図1を参照して、この高電圧検出回路は、分圧回路1、10、26およびコンパレータ4、20を備える。

【0021】分圧回路1は、外部電源電位 $extVCC$ のラインと接地電位 GND のラインとの間に直列接続されたNチャネルMOSトランジスタ2、3を含む。NチャネルMOSトランジスタ2、3の各々は、ダイオード接続されている。すなわち、NチャネルMOSトランジスタ2、3の各々のゲートは、それぞれ各々のドレインへ接続されている。NチャネルMOSトランジスタ2、3のチャネル抵抗値をそれぞれ $R2$ 、 $R3$ とすると、NチャネルMOSトランジスタ2、3の間の出力ノードN2の電位 $V1$ は、 $V1 = extVCC \times R3 / (R2 + R3)$ となる。

【0022】コンパレータ4は、PチャネルMOSトランジスタ5、6、NチャネルMOSトランジスタ7、8およびインバータ9を含む。MOSトランジスタ5と7、6と8は、それぞれ外部電源電位 $extVCC$ のラインと接地電位 GND のラインとの間に直列接続される。PチャネルMOSトランジスタ5のゲートはPチャネルMOSトランジスタ6のドレイン（出力ノードN6）に接続され、PチャネルMOSトランジスタ6のゲートはPチャネルMOSトランジスタ5のドレイン（ノードN5）に接続される。分圧回路1の出力電位 $V1$ は、NチャネルMOSトランジスタ7のゲートに直接入力されるとともに、インバータ9を介してNチャネルMOSトランジスタ8のゲートに入力される。

【0023】外部電源電位 $extVCC$ が予め定められた電位 VR よりも低く、分圧回路1の出力電位 $V1$ がインバータ9のしきい値電位 Vth よりも低い場合は、MOSトランジスタ5、8が導通しMOSトランジスタ6、7が非導通になって、出力ノードN6の電位 $V4$ は「L」レベルとなる。外部電源電位 $extVCC$ が予め定められた電位 VR よりも高く、分圧回路1の出力電位 $V1$ がインバータ9のしきい値電位 Vth よりも高い場合は、MOSトランジスタ6、7が導通しMOSトランジスタ5、8は非導通になって、出力ノードN6の電位 $V4$ は「H」レベルとなる。

【0024】分圧回路10は、インバータ11、トランスファゲート12および複数（図では4つ）のNチャネルMOSトランジスタ13～16を含む。NチャネルMOSトランジスタ13～16は、特定ピンPからのアドレス信号 $A0$ /高電位 SV を受ける入力ノードN13と接地電位 GND のラインとの間に直列接続される。NチャネルMOSトランジスタ13～15の各々は、ダイオード接続される。NチャネルMOSトランジスタ16のゲートは、一定の内部電源電位 $intVCC$ を受ける。NチャネルMOSトランジスタ16は、抵抗素子として動作する。トランスファゲート12は、NチャネルMO

Sトランジスタ14に並列接続される。コンパレータ4の出力電位 $V4$ は、トランスファゲート12のNチャネルMOSトランジスタ側のゲートに直接入力されるとともに、インバータ11を介してトランスファゲート12のPチャネルMOSトランジスタ側のゲートに入力される。

【0025】外部電源電位 $extVCC$ が予め定められた電位 VR よりも低く、コンパレータ4の出力電位 $V4$ が「L」レベルの場合は、トランスファゲート12が非導通になる。NチャネルMOSトランジスタ13～16のチャネル抵抗値をそれぞれ $R13$ ～ $R16$ とし、ノードN13に高電位 SV が印加されたとすると、NチャネルMOSトランジスタ15と16の間の出力ノードN15の電位 $V10$ は、 $V10 = SV \times R16 / (R13 + R14 + R15 + R16)$ となる。

【0026】外部電源電位 $extVCC$ が予め定められた電位 VR よりも高く、コンパレータ4の出力電位 $V4$ が「H」レベルの場合は、トランスファゲート12が導通する。この場合は、NチャネルMOSトランジスタ14のソースドレイン間がトランスファゲート14によってショートされるので、出力電位 $V10$ は、 $V10 = SV \times R16 / (R13 + R15 + R16)$ となる。したがって、高電位 SV を一定とすれば、外部電源電位 $extVCC$ が予め定められた電位 VR よりも低い場合は出力電位 $V10$ は低くなり、外部電源電位 $extVCC$ が予め定められた電位 VR よりも高い場合は出力電位 $V10$ は高くなる。

【0027】分圧回路26は、外部電源電位 $extVCC$ のラインと接地電位 GND のラインとの間に直列接続されたNチャネルMOSトランジスタ27、28を含む。NチャネルMOSトランジスタ27はダイオード接続され、NチャネルMOSトランジスタ28のゲートは内部電源電位 $intVCC$ を受ける。NチャネルMOSトランジスタ28は、抵抗素子として動作する。NチャネルMOSトランジスタ27、28のチャネル抵抗値を $R27$ 、 $R28$ とすると、NチャネルMOSトランジスタ27、28間の出力ノードN27の電位 $V26$ は、 $V26 = extVCC \times R28 / (R27 + R28)$ となる。

【0028】コンパレータ20は、インバータ21、PチャネルMOSトランジスタ22、23およびNチャネルMOSトランジスタ24、25を含む。MOSトランジスタ22と24、23と25は、それぞれ外部電源電位 $extVCC$ のラインと接地電位 GND のラインとの間に直列接続される。PチャネルMOSトランジスタ22と23のゲートは、ともにPチャネルMOSトランジスタ23のドレインに接続される。PチャネルMOSトランジスタ22と23は、カレントミラー回路を構成する。NチャネルMOSトランジスタ24、25のゲートは、それぞれ分圧回路10、26の出力電位 $V10$ 、 V

26を受ける。インバータ21には、MOSトランジスタ22と24の間のノードN22の電位V22が入力される。インバータ21の出力信号は、この高電圧検出回路の出力信号SVIHとなる。

【0029】NチャンネルMOSトランジスタ25には、分圧回路26の出力電位V26に応じた値の電流I25が流れる。PチャンネルMOSトランジスタ23には、NチャンネルMOSトランジスタ25と同じ値の電流I25が流れる。NチャンネルMOSトランジスタ24は、分圧回路10の出力電位V10に応じた電流を流し得る。PチャンネルMOSトランジスタ22には、PチャンネルMOSトランジスタ23と同じ値の電流が流れようとする。

【0030】分圧回路10の出力電位V10が分圧回路26の出力電位V26よりも低い場合は、NチャンネルMOSトランジスタ24が流し得る電流がNチャンネルMOSトランジスタ25に流れる電流I25よりも小さいので、ノードN22の電位V22が「H」レベルとなり信号SVIHは「L」レベルとなる。

【0031】分圧回路10の出力電位V10が分圧回路26の出力電位V26よりも高い場合は、NチャンネルMOSトランジスタ24が流し得る電流がNチャンネルMOSトランジスタ25に流れる電流I25よりも大きいので、ノードN22の電位V22が「L」レベルとなり信号SVIHは「H」レベルとなる。

【0032】次に、この高電圧検出回路の動作について説明する。DRAMの通常動作時において、ノードN13にアドレス信号A0すなわち外部電源電位extVCCまたは接地電位GNDが与えられている場合は、分圧回路10の分圧比は分圧回路26の分圧比よりも小さいので、外部電源電位extVCCの大きさに関係なく分圧回路10の出力電位V10が分圧回路26の出力電位V26よりも低くなる。これにより、NチャンネルMOSトランジスタ24が流し得る電流がNチャンネルMOSトランジスタ25に流れる電流I25よりも小さくなり、ノードN22の電位V22は「H」レベルになって信号SVIHは「L」レベルになり、テストモードは設定されない。

【0033】また、ノードN13に高電位SVを与えてDRAMをテストモードに設定する場合において、外部電源電位extVCCが予め定められた基準電位VRよりも低い場合は、分圧回路10の出力電位V1がインバータ9のしきい値電位よりも低くなり、MOSトランジスタ5, 8は導通しMOSトランジスタ6, 7が非導通になって、コンパレータ4の出力電位V4が「L」レベルとなる。これにより、トランスファゲート12が非導通になり、分圧回路10の分圧比は $R16 / (R13 + R14 + R15 + R16)$ となり、比較的小さな値になる。

【0034】また、外部電源電位extVCCが予め定められた基準電位VRよりも高い場合は、分圧回路10の

出力電位V1がインバータ10のしきい値電位Vthよりも高くなり、MOSトランジスタ6, 7は導通しMOSトランジスタ5, 8は非導通になって、コンパレータ4の出力電位V4が「H」レベルになる。これにより、トランスファゲート12が導通し、分圧回路10の分圧比は $R16 / (R13 + R15 + R16)$ となり、比較的大きな値になる。

【0035】したがって、外部電源電位extVCCが低い場合は分圧回路10の分圧比が小さくなって分圧回路10の出力電位V10 = $SV \times R16 / (R13 + R14 + R15 + R16)$ が低くなり、外部電源電位extVCCが高い場合は分圧回路10の分圧比が大きくなって分圧回路10の出力電位V10 = $SV \times R16 / (R13 + R15 + R16)$ が高くなるので、外部電源電位extVCCが高くなった場合でも従来のように高電位SVを高くする必要がない。

【0036】ノードN13に高電位SVが与えられると、外部電源電位extVCCの大きさに関係なく分圧回路10の出力電位V10は分圧回路26の出力電位V26よりも高くなる。これにより、NチャンネルMOSトランジスタ24が流し得る電流がNチャンネルMOSトランジスタ25に流れる電流I25よりも大きくなり、ノードN22の電位V22が「L」レベルになって信号SVIHが「H」レベルになり、テストモードが設定される。

【0037】[実施の形態2] 図2は、この発明の実施の形態2によるDRAMの高電圧検出回路の構成を示す回路図である。図2を参照して、この高電圧検出回路は、分圧回路31, 36, 42, 57、インバータ34, 35、およびコンパレータ50を備える。

【0038】分圧回路31は、外部電源電位extVCCのラインと接地電位GNDのラインとの間に直列接続されたNチャンネルMOSトランジスタ32, 33を含む。NチャンネルMOSトランジスタ32, 33の各々は、ダイオード接続されている。NチャンネルMOSトランジスタ32, 33のチャネル抵抗値をそれぞれR32, R33とすると、NチャンネルMOSトランジスタ32と33の間の出力ノードN32の電位V31は、 $V31 = extVCC \times R33 / (R32 + R33)$ となる。

【0039】分圧回路36は、特定ピンPからのアドレス信号A0/高電位SVを受けるノードN37と出力ノードN39との間に直列接続された複数（図では3つ）のNチャンネルMOSトランジスタ37~39と、それぞれ出力ノードN39と接地電位GNDのラインとの間に接続されたNチャンネルMOSトランジスタ40, 41とを含む。NチャンネルMOSトランジスタ37~39の各々は、ダイオード接続される。NチャンネルMOSトランジスタ40のゲートは、内部電源電位intVCCを受ける。NチャンネルMOSトランジスタ40は、抵抗素子

として動作する。

【0040】分圧回路42は、特定ピンPからのアドレス信号A0／高電位SVを受けるノードN43と出力ノードN45との間に直列接続された複数（図では3つ）のNチャネルMOSトランジスタ43～45と、それぞれ出力ノードN45と接地電位GNDのラインとの間に接続されたNチャネルMOSトランジスタ46、47とを含む。NチャネルMOSトランジスタ43～45の各々は、ダイオード接続される。NチャネルMOSトランジスタ46のゲートは、内部電源電位intVCCを受ける。NチャネルMOSトランジスタ46は、抵抗素子として動作する。

【0041】インバータ34、35は、分圧回路31の出力ノードN32と分圧回路36のNチャネルMOSトランジスタ41のゲートとの間に直列接続される。分圧回路42のNチャネルMOSトランジスタ47のゲートは、インバータ34の出力信号φ34を受ける。

【0042】外部電源電位extVCCが予め定められた基準電位VRよりも低い場合は、インバータ34、35の出力信号φ34、φ35はそれぞれ「H」レベルおよび「L」レベルとなり、NチャネルMOSトランジスタ47が導通して分圧回路42の出力電位V42が「L」レベルに固定され、NチャネルMOSトランジスタ41が非導通になって分圧回路36が活性化される。NチャネルMOSトランジスタ37～40のチャネル抵抗値をそれぞれR37～R40とすると、分圧回路36の分圧比は $R40 / (R37 + R38 + R39 + R40)$ となる。

【0043】外部電源電位extVCCが予め定められた基準電位VRよりも低い場合は、インバータ34、35の出力信号φ34、φ35はそれぞれ「L」レベルおよび「H」レベルとなり、NチャネルMOSトランジスタ41が導通して分圧回路36の出力電位V36が「L」レベルに固定され、NチャネルMOSトランジスタ47が非導通になって分圧回路42が活性化される。NチャネルMOSトランジスタ43～46のチャネル抵抗値をそれぞれR43～R46とすると、分圧回路42の分圧比は $R46 / (R43 + R44 + R45 + R46)$ となる。分圧回路42の分圧比 $R46 / (R43 + R44 + R45 + R46)$ は分圧回路36の分圧比 $R40 / (R37 + R38 + R39 + R40)$ よりも大きく設定されている。

【0044】分圧回路57は、外部電源電位extVCCのラインと接地電位GNDのラインとの間に直列接続されたNチャネルMOSトランジスタ58、59を含む。NチャネルMOSトランジスタ58はダイオード接続され、NチャネルMOSトランジスタ59のゲートは内部電源電位intVCCを受ける。NチャネルMOSトランジスタ59は、抵抗素子として動作する。NチャネルMOSトランジスタ58、59のチャネル抵抗値を

それぞれR58、R59とすると、NチャネルMOSトランジスタ58と59の出力ノードN58の電位V57は $V57 = extVCC \times R59 / (R58 + R59)$ となる。

【0045】コンパレータ50は、インバータ51、PチャネルMOSトランジスタ52、53およびNチャネルMOSトランジスタ54～56を含む。MOSトランジスタ52と54、53と56は、それぞれ外部電源電位extVCCのラインと接地電位GNDのラインとの間に直列接続される。NチャネルMOSトランジスタ55は、NチャネルMOSトランジスタ54に並列接続される。PチャネルMOSトランジスタ52、53のゲートは、ともにPチャネルMOSトランジスタ53のドレインに接続される。PチャネルMOSトランジスタ52、53は、カレントミラー回路を構成する。NチャネルMOSトランジスタ54～56のゲートは、それぞれ分圧回路36、42、57の出力電位V36、V42、V57を受ける。インバータ51には、MOSトランジスタ52と54の間のノードN52の電位V52が入力される。インバータ51の出力信号が、この高電圧検出回路の出力信号SVIHとなる。

【0046】分圧回路36（または42）の出力電位V36（またはV42）が分圧回路57の出力電位V57よりも低い場合は、NチャネルMOSトランジスタ54（または55）が流し得る電流がNチャネルMOSトランジスタ56に流れる電流I56よりも小さいので、ノードN52の電位V52が「H」レベルとなり信号SVIHは「L」レベルとなる。

【0047】分圧回路36（または42）の出力電位V36（またはV42）が分圧回路57の出力電位V57よりも高い場合は、NチャネルMOSトランジスタ54（または55）が流し得る電流がNチャネルMOSトランジスタ56に流れる電流I56よりも大きいので、ノードN52の電位V52が「L」レベルとなり信号SVIHは「H」レベルとなる。

【0048】次に、この高電圧検出回路の動作について説明する。外部電源電位extVCCが予め定められた基準電位VRよりも低い場合は、分圧回路31の出力電位V31がインバータ34のしきい値電位よりも低くなり、インバータ34、35の出力信号φ34、φ35がそれぞれ「H」レベルおよび「L」レベルとなる。これにより、NチャネルMOSトランジスタ47が導通して分圧回路42の出力電位V42が「L」レベルに固定され、NチャネルMOSトランジスタ41が非導通になって分圧回路36が活性化される。分圧回路36の分圧比は、 $R40 / (R37 + R38 + R39 + R40)$ となり、比較的小さな値になっている。

【0049】また、外部電源電位extVCCが予め定められた基準電位VRよりも高い場合は、分圧回路31の出力電位V31がインバータ34のしきい値電位より

も高くなり、インバータ34, 35の出力信号φ34, φ35がそれぞれ「L」レベルおよび「H」レベルになる。これにより、NチャネルMOSトランジスタ41が導通して分圧回路36の出力電位V36が「L」レベルに固定され、NチャネルMOSトランジスタ47が非導通になって分圧回路42が非活性化される。分圧回路42の分圧比は、 $R_{46} / (R_{43} + R_{44} + R_{45} + R_{46})$ となり、比較的大きな値になっている。

【0050】DRAMの通常動作時において、ノードN37, N43にアドレス信号A0すなわち外部電源電位extVCCまたは接地電位GNDが与えられている場合は、分圧回路36（または42）の分圧比は分圧回路57の分圧比よりも小さいので、分圧回路36（または42）の出力電位V36（またはV42）が分圧回路57の出力電位V57よりも低くなる。これにより、NチャネルMOSトランジスタ54（または55）が流し得る電流がNチャネルMOSトランジスタ56に流れる電流I56よりも小さくなり、ノードN52の電位V52は「H」レベルになって信号SVIHは「L」レベルになり、テストモードは設定されない。

【0051】また、ノードN37, N43に高電位SVを与えてDRAMをテストモードに設定する場合において、外部電源電位extVCCが低い場合は分圧比が比較的小さな値の分圧回路36が選択され、外部電源電位extVCCが高い場合は分圧比が比較的大きな値の分圧回路42が選択される。したがって、外部電源電位extVCCが高くなった場合でも従来のように高電位SVを高くする必要はない。

【0052】ノードN37, N43に高電位SVが与えられると、外部電源電位extVCCの大きさに関係なく分圧回路36（または42）の出力電位V36（またはV42）が分圧回路57の出力電位V57よりも高くなる。これにより、NチャネルMOSトランジスタ54（または55）が流し得る電流がNチャネルMOSトランジスタ56を流れる電流I56よりも大きくなり、ノードN52が「L」レベルになって信号SVIHが「H」レベルになり、テストモードが設定される。

【0053】〔実施の形態3〕図3は、この発明の実施の形態3によるDRAMの高電圧検出回路の構成を示す回路図である。図3を参照して、この高電圧検出回路は、分圧回路61, 66, 80, 83、インバータ64, 65、コンパレータ70およびNチャネルMOSトランジスタ77, 78を含む。

【0054】分圧回路61は、外部電源電位extVCCのラインと接地電位GNDのラインとの間に直列接続されたNチャネルMOSトランジスタ62, 63を含む。NチャネルMOSトランジスタ62, 63の各々は、ダイオード接続されている。NチャネルMOSトランジスタ62, 63のチャネル抵抗値をそれぞれR62, R63とすると、NチャネルMOSトランジスタ6

2と63の間の出力ノードN62の電位V62は、 $V_{62} = \text{extVCC} \times R_{63} / (R_{62} + R_{63})$ となる。

【0055】分圧回路66は、特定ピンPからのアドレス信号A0/高電位SVを受けるノードN67と出力ノードN69との間に直列接続された複数（図では3つ）のNチャネルMOSトランジスタ67~69と、出力ノードN69と接地電位GNDのラインとの間に接続されたNチャネルMOSトランジスタ70を含む。NチャネルMOSトランジスタ67~69の各々は、ダイオード接続されている。NチャネルMOSトランジスタ70のゲートは、内部電源電位intVCCを受ける。NチャネルMOSトランジスタ70は、抵抗素子として動作する。NチャネルMOSトランジスタ67~70のチャネル抵抗値をそれぞれR67~R70とし、ノードN67に高電位SVが与えられたとすると、出力ノードN69の電位V66は $V_{66} = SV \times R_{70} / (R_{67} + R_{68} + R_{69} + R_{70})$ となる。

【0056】分圧回路80は外部電源電位extVCCのラインと接地電位GNDのラインとの間に直列接続されたNチャネルMOSトランジスタ81, 82を含み、分圧回路83は外部電源電位extVCCのラインと接地電位GNDのラインとの間に直列接続されたNチャネルMOSトランジスタ84, 85を含む。NチャネルMOSトランジスタ81, 82の各々はダイオード接続され、NチャネルMOSトランジスタ82, 85のゲートはともに内部電源電位intVCCを受ける。

【0057】NチャネルMOSトランジスタ77は、NチャネルMOSトランジスタ81と82の間の出力ノードN81と接地電位GNDのラインとの間に接続される。NチャネルMOSトランジスタ78は、NチャネルMOSトランジスタ84と85の間の出力ノードN84と接地電位GNDのラインとの間に接続される。インバータ64, 65は、分圧回路61の出力ノードN62とNチャネルMOSトランジスタ77のゲートとの間に直列接続される。NチャネルMOSトランジスタ78のゲートは、インバータ64の出力信号φ64を受ける。

【0058】外部電源電位extVCCが予め定められた基準電位VRよりも低い場合は、インバータ64, 65の出力信号φ64, φ65はそれぞれ「H」レベルおよび「L」レベルとなり、NチャネルMOSトランジスタ78が導通して分圧回路83の出力電位V83が「L」レベルに固定され、NチャネルMOSトランジスタ77が非導通になって分圧回路80が活性化される。NチャネルMOSトランジスタ81, 82のチャネル抵抗値をそれぞれR81, R82とすると、分圧回路80の出力電位V80は $V_{80} = \text{extVCC} \times R_{82} / (R_{81} + R_{82})$ となる。

【0059】外部電源電位extVCCが予め定められた基準電位VRよりも高い場合は、インバータ64, 6

5の出力信号φ64、φ65はそれぞれ「L」レベルおよび「H」レベルとなり、NチャネルMOSトランジスタ77が導通して分圧回路80の出力電位V80が「L」レベルに固定され、NチャネルMOSトランジスタ78が非導通になって分圧回路83が活性化される。NチャネルMOSトランジスタ84、85のチャネル抵抗値をそれぞれR84、R85とすると、分圧回路83の出力電位V83は $V83 = \text{extVCC} \times R85 / (R84 + R85)$ となる。分圧回路83の分圧比 $R85 / (R84 + R85)$ は分圧回路80の分圧比 $R82 / (R81 + R82)$ よりも小さく設定されている。

【0060】コンパレータ70は、インバータ11、PチャネルMOSトランジスタ72、73およびNチャネルMOSトランジスタ74～76を含む。MOSトランジスタ72と74、73と75は、それぞれ外部電源電位extVCCのラインと接地電位GNDのラインとの間に直列接続される。NチャネルMOSトランジスタ76は、NチャネルMOSトランジスタ75に並列接続される。PチャネルMOSトランジスタ72、73のゲートは、ともにPチャネルMOSトランジスタ73のドレインに接続される。PチャネルMOSトランジスタ72と73は、カレントミラー回路を構成する。NチャネルMOSトランジスタ74～76のゲートは、それぞれ分圧回路66、80、83の出力電位V66、V80、V83を受ける。インバータ71には、MOSトランジスタ72と74の間のノードN72の電位V72が入力される。インバータ71の出力信号はこの高電圧検出回路の出力信号SVIHとなる。

【0061】分圧回路66の出力電位V66が分圧回路80（または83）の出力電位V80（またはV83）よりも低い場合は、NチャネルMOSトランジスタ74が流し得る電流はNチャネルMOSトランジスタ75（または76）を流れる電流I75（またはI76）よりも小さいので、ノードN72の電位V72が「H」レベルとなり信号SVIHは「L」レベルとなる。

【0062】分圧回路66の出力電位V66が分圧回路80（または83）の出力電位V80（またはV83）よりも高い場合は、NチャネルMOSトランジスタ74が流し得る電流はNチャネルMOSトランジスタ75（または76）を流れる電流I75（またはI76）よりも大きいので、ノードN72の電位V72が「L」レベルとなり信号SVIHは「H」レベルとなる。

【0063】次に、この高電圧検出回路の動作について説明する。外部電源電位extVCCが予め定められた基準電位VRよりも低い場合は、分圧回路61の出力電位V61がインバータ64のしきい値電位よりも低くなり、インバータ64、65の出力信号φ64、φ65がそれぞれ「H」レベルおよび「L」レベルとなる。これにより、NチャネルMOSトランジスタ78が導通して分圧回路83の出力電位V83が「L」レベルに固定さ

れ、NチャネルMOSトランジスタ77が非導通になって分圧回路80が活性化される。分圧回路80の分圧比 $R82 / (R81 + R82)$ は比較的大きな値になっている。

【0064】また、外部電源電位extVCCが予め定められた基準電位VRよりも高い場合は、分圧回路61の出力電位V61がインバータ64のしきい値電位よりも高くなり、インバータ64、65の出力信号φ64、φ65がそれぞれ「L」レベルおよび「H」レベルとなる。これにより、NチャネルMOSトランジスタ77が導通して分圧回路80の出力電位V80が「L」レベルに固定され、NチャネルMOSトランジスタ78が非導通になって分圧回路83が活性化される。分圧回路83の分圧比 $R85 / (R84 + R85)$ は比較的小きな値になっている。

【0065】DRAMの通常動作時において、ノードN67にアドレス信号A0すなわち外部電源電位extVCCまたは接地電位GNDが与えられている場合は、分圧回路66の分圧比は分圧回路80（または83）の分圧比よりも小さいので、分圧回路66の出力電位V66は分圧回路80（または83）の出力電位V80（またはV83）よりも低くなる。これにより、NチャネルMOSトランジスタ74が流し得る電流はNチャネルMOSトランジスタ75（または76）に流れる電流I75（またはI76）よりも小さくなり、ノードN72の電位V72は「H」レベルになって信号SVIHは「L」レベルになり、テストモードは設定されない。

【0066】また、ノードN67に高電位SVを与えてDRAMをテストモードに設定する場合において、外部電源電位extVCCが低い場合は分圧比が比較的大きな値の分圧回路80が選択され、外部電源電位extVCCが高い場合は分圧比が比較的小きな値の分圧回路83が選択される。したがって、外部電源電位extVCCが高くなった場合でも従来のように高電位SVを高くする必要がない。

【0067】ノードN67に高電位SVが与えられると、外部電源電位extVCCの大きさに関係なく分圧回路66の出力電位V66が分圧回路80（または83）の出力電位V80（またはV83）よりも高くなる。これにより、NチャネルMOSトランジスタ74が流し得る電流がNチャネルMOSトランジスタ75（または76）を流れる電流I75（またはI76）よりも大きくなり、ノードN72が「L」レベルになって信号SVIHが「H」レベルになり、テストモードが設定される。

【0068】なお、以上の実施の形態1～3を適宜組合わせてもよいことは言うまでもない。

【0069】また、この実施の形態では、分圧回路をダイオード接続されたMOSトランジスタやゲートに内部電源電位intVCCが与えられたMOSトランジスタ

で構成したが、各MOSトランジスタを抵抗素子で置換してもよい。

【0070】なお、今回開示された実施の形態は全ての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0071】

【発明の効果】以上のように、請求項1に係る発明では、外部電源電圧を第1の分圧比で分圧する第1の分圧回路と、外部電源電圧が所定の電圧よりも小さい場合は第1の信号を出力し大きい場合は第2の信号を出力する電圧検出回路と、第1の信号にตอบสนองして入力端子の電圧を第1の分圧比よりも小さな第2の分圧比で分圧し、第2の信号にตอบสนองして入力端子の電圧を第1および第2の分圧比の間の第3の分圧比で分圧する第2の分圧回路と、第2の分圧回路の出力電圧が第1の分圧回路の出力電圧よりも大きい場合に高電圧検出信号を出力する比較回路とが設けられる。したがって、外部電源電圧が小さい場合は入力端子の電圧を小さな分圧比で分圧し、外部電源電圧が大きい場合は入力端子の電圧を大きな分圧比で分圧するので、外部電源電圧を大きくした場合でも高電圧を大きくする必要はない。

【0072】請求項2に係る発明では、請求項1に係る発明の第2の分圧回路は、入力端子と基準電位のラインとの間に直列接続された複数の電圧降下素子と、複数の電圧降下素子のうちの少なくとも1つの電圧降下素子に並列接続され、第1の信号にตอบสนองして非導通になり、第2の信号にตอบสนองして導通するスイッチング素子とを含む。この場合は、電圧降下素子の両電極間をスイッチング素子で短絡することにより、第2の分圧回路の分圧比を容易に大きくすることができる。

【0073】請求項3に係る発明では、請求項1に係る発明の第2の分圧回路は、入力端子の電圧を第2の分圧比で分圧する第3の分圧回路と、入力端子の電圧を第3の分圧比で分圧する第4の分圧回路と、第1の信号にตอบสนองして第3の分圧回路の出力電圧を比較回路に与え、第2の信号にตอบสนองして第4の分圧回路の出力電圧を比較回路に与える切換回路とを含む。この場合は、第2の分圧回路を容易に構成できる。

【0074】請求項4に係る発明では、外部電源電圧が所定の電圧よりも小さい場合は第1の信号を出力し大きい場合は第2の信号を出力する電圧検出回路と、第1の信号にตอบสนองして外部電源電圧を第1の分圧比よりも大きな第2の分圧比で分圧し、第2の信号にตอบสนองして外部電源電圧を第1および第2の分圧比の間の第3の分圧比で分圧する第2の分圧回路と、第2の分圧回路の出力電圧が第1の分圧回路の出力電圧よりも大きい場合に高電圧検出信号を出力する比較回路とが設けられる。したがっ

て、外部電源電圧が小さい場合は外部電源電圧を大きな分圧比で分圧し、外部電源電圧が大きい場合は外部電源電圧を小さな分圧比で分圧するので、外部電源電圧を大きくした場合でも高電圧を大きくする必要はない。

【0075】請求項5に係る発明では、請求項4に係る発明の第2の分圧回路は、外部電源電圧を第2の分圧比で分圧する第3の分圧回路と、外部電源電圧を第3の分圧比で分圧する第4の分圧回路と、第1の信号にตอบสนองして第3の分圧回路の出力電圧を比較回路に与え、第2の信号にตอบสนองして第4の分圧回路の出力電圧を比較回路に与える切換回路とを含む。この場合は、第2の分圧回路を容易に構成できる。

【0076】請求項6に係る発明では、請求項1から5のいずれかに係る発明の電圧検出回路は、外部電源電圧を第4の分圧比で分圧する第5の分圧回路と、第5の分圧回路の出力電圧がそのしきい値電圧よりも小さい場合は第1の信号を出力し、大きい場合は第2の信号を出力するインバータとを含む。この場合は、第1および第2の信号を容易に生成できる。

【0077】請求項7に係る発明では、外部電源電圧が所定の電圧よりも小さい場合は第1の信号を出力し大きい場合は第2の信号を出力する電圧検出回路と、第1の信号にตอบสนองして外部電源電圧を第1の分圧比で分圧し、第2の信号にตอบสนองして外部電源電圧を第1の分圧比よりも小さな第2の分圧比で分圧する第1の分圧回路と、第1の信号にตอบสนองして入力端子の電圧を第1の分圧比よりも小さな第3の分圧比で分圧し、第2の信号にตอบสนองして入力端子の電圧を第2の分圧比よりも小さな第4の分圧比で分圧する第2の分圧回路と、第2の分圧回路の出力電圧が第1の分圧回路の出力電圧よりも大きい場合に高電圧検出信号を出力する比較回路とが設けられる。したがって、外部電源電圧が小さい場合は外部電源電圧を大きな分圧比で分圧するとともに入力端子の電圧を小さな分圧比で分圧し、外部電源電圧が大きい場合は外部電源電圧を小さな分圧比で分圧するとともに入力端子の電圧を大きな分圧比で分圧するので、外部電源電圧を大きくした場合でも高電圧を大きくする必要はない。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるDRAMの高電圧検出回路の構成を示す回路図である。

【図2】 この発明の実施の形態2によるDRAMの高電圧検出回路の構成を示す回路図である。

【図3】 この発明の実施の形態3によるDRAMの高電圧検出回路の構成を示す回路図である。

【図4】 従来のDRAMの構成を示す図である。

【図5】 図4に示したDRAMに含まれる高電圧検出回路の構成を示す回路図である。

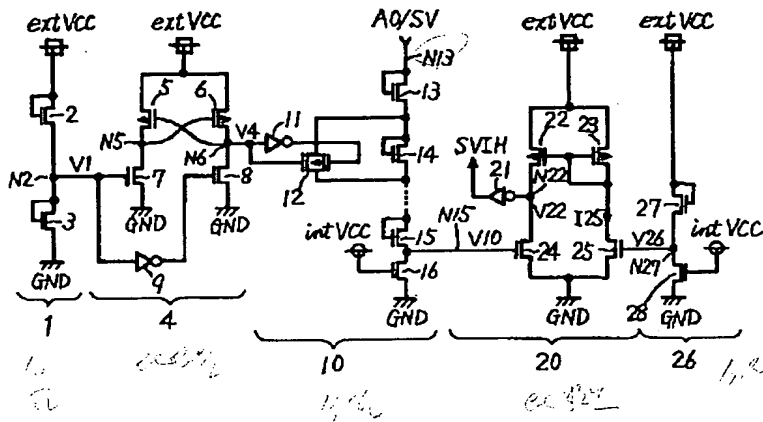
【符号の説明】

1, 10, 26, 31, 36, 42, 57, 61, 66, 80, 83, 91, 106 分圧回路、2, 3,

7, 8, 13~16, 24, 25, 27, 28, 32,
33, 37~41, 43~47, 54~56, 58, 5
9, 62, 63, 67~70, 74~78, 81, 8
2, 84, 85, 92~95, 104, 105, 10
7, 108 NチャネルMOSトランジスタ、4, 2

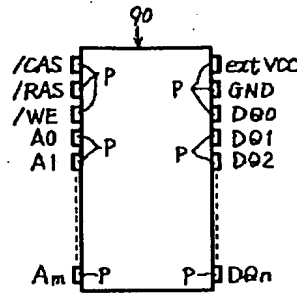
0, 50, 70, 100 コンパレータ、5, 6, 2
2, 23, 52, 53, 72, 73, 102, 103
PチャネルMOSトランジスタ、9, 11, 21, 3
4, 35, 51, 64, 65, 71, 101 インバ
ータ、12 トランスファゲート、90 DRAM。

【図1】

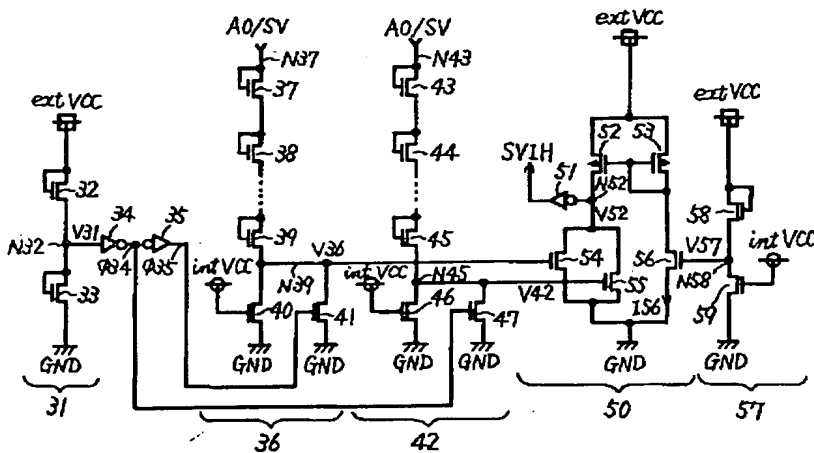


extVCCの分圧 N2 のインパクタンス値を越えるに設計した。分圧回路 10 の分圧比が
小さく、extVCC 約 1.5V 程度に低下する。

【図4】

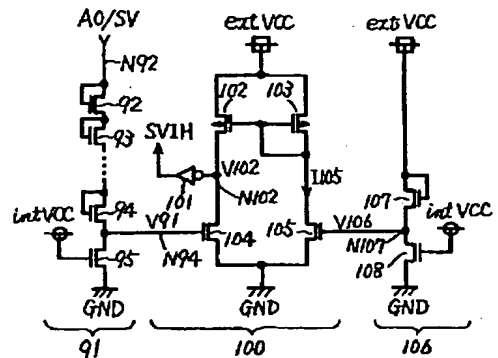


【図2】

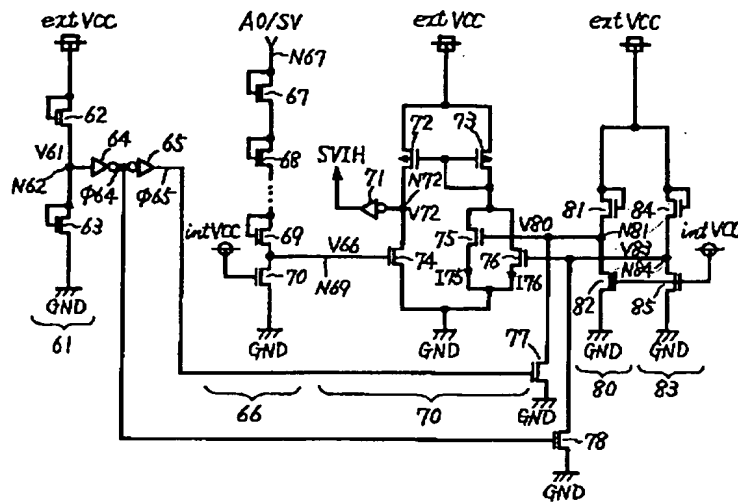


extVCCの分圧 N32 のインパクタンス値を越えるに設計した。SVの分圧比が設計値に
近づき、extVCC 約 1.5V 程度に低下する。

【図5】



【図3】



extVcc = 分圧 N62 の出力

プルアップに用いた extVcc 側の分圧器で駆動される